

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-084665

(43)Date of publication of application : 31.03.1995

(51)Int.Cl. G06F 1/04  
G06F 1/10

(21)Application number : 05-228375 (71)Applicant : TOSHIBA CORP

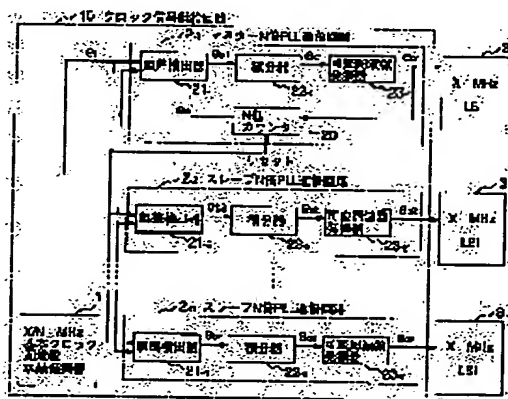
(22)Date of filing : 14.09.1993 (72)Inventor : OWADA AKIHIKO

(54) CLOCK SIGNAL SUPPLYING CIRCUIT USING PHASE LOCK LOOP  
MULTIPLYING CIRCUIT

## (57)Abstract:

PURPOSE: To supply a stable clock signal even when a clock signal in using is high frequency.

CONSTITUTION: A master N-fold PLL multiplying circuit 2-1 is arranged in the vicinity of an LSI 3-1 and slave N-fold PLL multiplying circuits 2-2 to 2-n are respectively arranged in the vicinity of respective LSIs 3-2 to 3-n. An output from a crystal oscillator 1 for oscillating basis clock frequency to be 1/N of clock frequency required for the LSIs 3-1 to 3-n and an output from an N-ary counter 20 included only in the circuit 2-1 are inputted to error detection circuits 21-1 to 21-n in all the PLL multiplying circuits 2-1 to 2-n as common comparing signals, respective circuits 2-1 to 2-n multiply the frequency of respective inputs by N so as to increase the frequency up to the original clock frequency and then supply clock signals to respective LSIs 3-1 to 3-n.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the clock signal supply circuit used for a digital logical circuit with two or more semiconductor chips which use the clock signal of predetermined frequency.

[0002]

[Description of the Prior Art] Two or more ICs and LSI which operate with the same clock frequency are used for the digital logical circuit generally carried in various computers, such as a minicomputer, an engineering workstation, and a personal computer, and the various control units which used the microprocessor.

[0003] In order to have supplied conventionally the clock signal of the same frequency as two or more ICs and LSI which are used for this digital logical circuit, it was common to have taken about wiring from one crystal oscillator to the clock signal input of each IC and LSI. this method -- the clock signal of the oscillation frequency of a crystal oscillator -- as it is -- each - IC and LSI are supplied.

[0004]

[Problem(s) to be Solved by the Invention] In the supply system of the above-mentioned conventional clock signal, there was a problem that leading about of wiring of a clock signal becomes a complicated long thing, or a noise would occur by leading about of a high-frequency-clock signal if the frequency of the clock signal to be used is high.

[0005] By having made this invention in consideration of the above-mentioned situation, that object is in offering the clock signal supply circuit which can perform stable clock signal supply, even if the clock signal used is a RF.

[0006]

[Means for Solving the Problem] In a clock signal supply circuit used for a digital logical circuit with two or more semiconductor chips with which this invention uses a clock signal of predetermined frequency One N double PLL (phase locked loop) multiplying circuit used as a master which consists of the 1st error detector, 1st integrator, 1st variable frequency oscillator, and N-ary counter (master N double PLL multiplying circuit), At least one N double PLL multiplying circuit (slave N double PLL multiplying circuit) used as a slave which consists of the 2nd error detector, the 2nd integrator, and the 2nd variable frequency oscillator An output from a basic clock frequency oscillator which arranges by 1 to 1 response near a semiconductor chip different, respectively, and oscillates a basic clock frequency of  $1/N$  of the above-mentioned predetermined frequency, An output of the above-mentioned N-ary counter formed only in a master N double PLL multiplying circuit as a common comparison signal It inputs also into the 2nd error detector in all slave N double PLL multiplying circuits as well as the 1st error detector in a master N double PLL multiplying circuit. N After doubling and pulling up to predetermined frequency, it is characterized by considering as a configuration inputted into a corresponding semiconductor chip in each PLL multiplying circuit.

[0007] Moreover, replace this invention with arranging near the semiconductor chip which uses a clock signal generated in a PLL multiplying circuit in this circuit, it is made to build in this semiconductor chip, and is characterized also by using the clock signal concerned as a clock signal inside a corresponding semiconductor chip.

[0008]

[Function] In the above-mentioned configuration, the N-ary counter in a master N double PLL multiplying circuit carries out N dividing of the frequency of the clock signal which is the output of the 1st variable frequency oscillator in the same PLL multiplying circuit as everyone knows. N dividing output of this N-ary counter is inputted into the 1st error detector in the same PLL multiplying circuit with the output from a basic clock frequency oscillator. The 1st error detector compares the phase relation of both [ these ] inputs, and generates the positive or negative pulse corresponding to the error. It integrates with the output of this 1st error detector by the 1st integrating circuit in the same PLL multiplying circuit. The 1st variable frequency oscillator controls that oscillator frequency, i.e., the frequency of the clock signal which is the output of the oscillator concerned, so that the output of this 1st integrator becomes zero.

[0009] Thus, the input frequency (basic clock frequency) of  $1/N$  of the predetermined frequency from a basic clock frequency oscillator is N Doubled by the master N double PLL multiplying circuit arranged near the semiconductor chip, and can be pulled up to predetermined frequency. And since the clock signal of the frequency after this pull-up is inputted into the semiconductor chip concerned and used in the semiconductor chip

concerned, leading about of wiring of the clock signal of the chip concerned in the semiconductor chip concerned can be lost, and it becomes possible to aim at reduction of generating of a noise etc.

[0010] Now, in the above-mentioned configuration, N dividing output of the N-ary counter in a master N double PLL multiplying circuit is inputted into the 2nd error detector of each slave N double PLL multiplying circuit which does not have an N-ary (it is required for configuration of PLL multiplying circuit) counter unlike a master N double PLL multiplying circuit as a common comparison signal with the output of a basic clock frequency oscillator. And the output of the 2nd error detector corresponding to the error of both the above-mentioned inputs integrates the 2nd integrator, and the output frequency of the 2nd variable frequency oscillator, i.e., the frequency of the clock signal which is the output of the oscillator concerned, is controlled so that the output of this 2nd integrator becomes zero further.

[0011] Thus, since the output of the basic clock frequency oscillator inputted into the 1st error detector of a master N double PLL multiplying circuit and N dividing output of the N-ary counter in a master N double PLL multiplying circuit are inputted as a common comparison signal, the phase of the output of each above-mentioned PLL multiplying circuit can be arranged with the 2nd error detector of each slave N double PLL multiplying circuit.

[0012] Moreover, it becomes possible to decrease generating of a noise etc. further by making it build in this semiconductor chip rather than arranging near the semiconductor chip which uses the clock signal outputted from the circuit concerned in each above PLL multiplying circuit.

[0013]

[Example] Drawing 1 is the block diagram showing the configuration of the digital logical circuit equipped with the clock signal supply circuit concerning one example of this invention. Setting to this drawing, 1 is  $X/N$ . The basic clock frequency crystal oscillator which oscillates the basic clock frequency of MHz (A crystal oscillator is only called hereafter) and 2-1 are  $X/N$  from a crystal oscillator 1. Multiplying of the basic clock frequency of MHz is increased N times. X Similarly the master N double PLL (phase locked loop) multiplying circuit, and 2-2 - 2-n which generates the clock signal of MHz are  $X/N$  from a crystal oscillator 1. Multiplying of the basic clock frequency of MHz is increased N times. X It is the slave N double PLL (phase locked loop) multiplying circuit which generates the clock signal of MHz. The clock signal supply circuit 10 is constituted by this crystal oscillator 1 and each PLL multiplying circuit 2-1 - 2-n.

[0014] The master N double PLL multiplying circuit 2-1 has circuitry of common knowledge of the N-ary counter 20, the error detector 21-1, an integrator 22-1, and a variable frequency oscillator 23-1. Moreover, the slave N double PLL multiplying circuit 2-2 - 2-n have the error detector 21-2 - 21-n, an integrator 22-2 - 22-n, and a variable frequency oscillator 23-2 - 23-

n. Unlike the master N double PLL multiplying circuit 2, notice the slave N double PLL multiplying circuit 2-2 - 2-n about not having the N-ary counter (20) here.

[0015] the N-ary counter 20 -- basic clock frequency  $X/N$  from a crystal oscillator 1 Input pulse  $e_i$  of MHz every -- it is reset, whenever it carries out N individual counting of the output pulse  $eo_1$  of the PLL multiplying circuit 2-1 (inner variable frequency oscillator 23-1), a pulse is generated, and it is used as an N counting-down circuit which outputs the dividing output  $ea$ .

[0016] The error detector 21-1 - 21-n are Above  $e_i$ .  $ea$  Phase relation is compared and the positive or negative pulses  $eb_1$ - $eb_n$  corresponding to the error are generated. An integrator 22-1 - 22-n integrate with the outputs (pulse)  $eb_1$ - $eb_n$  of the error detector 21-1 - 21-n, and generate the control signals  $ec_1$ - $ec_n$  which they are as a result of [ the ] an integral.

[0017] A variable frequency oscillator 23-1 - 23-n control the frequency (clock frequency) of  $eo_1$ - $eo_n$  which are the output in the direction in which the outputs (control signal)  $ec_1$ - $ec_n$  of an integrator 22-1 - 22-n always become zero.

[0018] 3-1, 3-2 -- 3-n consists of a semiconductor chip and is all X. It is the existing LSI which operates with the clock frequency of MHz. In this example, LSI 3-1 is CPU and LSI 3-2 is FPU (floating point unit). Moreover, LSI 3-n is an I/O (I/O) controller. Near LSI 3-1 - the 3-n, the clock frequency which the PLL multiplying circuit 2-1 - 2-n are arranged, and was generated by this PLL multiplying circuit 2-1 - 2-n is X. The clock signal of MHz is inputted into LSI 3-1 - 3-n.

[0019] Next, actuation of the configuration of drawing 1 is explained with reference to the timing chart of drawing 2. Variable frequency oscillator 23-j in each PLL multiplying circuit 2-j ( $j=1$ -n) is an input pulse  $e_i$ . Carrying out a synchronous oscillation, the oscillation frequency (period  $t$ ) is proportional to a control signal  $ec_j$  from integrator 22-j.

[0020] Now, counting of the output (pulse)  $eo_1$  of the variable frequency oscillator 23-1 in the PLL multiplying circuit (master N double PLL multiplying circuit) 2-1 is carried out by the N-ary counter 20 as an N counting-down circuit. this N-ary counter 20 -- basic clock frequency  $X/N$  from a crystal oscillator 1 Pulse  $e_i$  of the input signal of MHz (period  $T$ ) It is once reset. every -- A pulse is generated whenever it carries out N individual counting of the pulse of an output  $eo_1$ . Others [ circuit / 2-1 (inner error detector 21-1) / master N double PLL multiplying ], Dividing output  $ea$  used in common by the slave N double PLL multiplying circuit 2-2 - 2-n (the inner error detector 21-2 - 21-n) (intersection periphery output) It obtains.

[0021] Intersection periphery output  $ea$  of the N-ary counter 20 in the master N double PLL multiplying circuit 2-1 As a comparison signal, it is inputted common to the error detector 21-2 in the slave N double PLL multiplying [ besides the error detector 21-1 in this PLL multiplying circuit 2-1 ] circuit 2-2 - 2-n - 21-n. Moreover, in each [ these ] error detector 21-1 - 21-n, it is  $X/N$  from a crystal oscillator 1. Pulse  $e_i$  of the input signal of the basic clock

frequency of MHz (period T) (common input pulse) It is inputted.

[0022] Error detector 21-j in each PLL multiplying circuit 2-j ( $j=1-n$ ) is the intersection periphery output  $ea$  from the N-ary counter 20.  $X/N$  from a crystal oscillator 1 Common input pulse  $ei$  of the basic clock frequency of MHz Phase relation is compared. And error detector 21-j is these two pulses  $ea$ ,  $ei$  It is the pulse which changes to positive or negative according to a chronological order (entry sequence) (it will become positive if the  $ea$  is earlier, and it will become negative in this example if the  $ei$  is earlier), and the pulse  $ebj$  ( $j=1-n$ ) which changes width of face according to that time difference is generated.

[0023] It integrates with the output pulse  $ebj$  from error detector 21-j ( $j=1-n$ ) by integrator 22-j, and the average is taken. The integral result of  $ebj$  by this integrator 22-j is inputted into variable frequency oscillator 23-j as a control signal  $ecj$ .

[0024] Variable frequency oscillator 23-j ( $j=1-n$ ) controls the oscillation frequency (clock frequency) of the output  $ej$  in the direction in which the control signal  $ecj$  from integrator 22-j always becomes zero. Namely, the variable frequency oscillator 23-1 in the master N double PLL multiplying circuit 2-1 In the direction in which the control signal  $ec1$  from an integrator 22-1 always becomes zero, the oscillation frequency of the output  $eo1$  is controlled.

Moreover, the variable frequency oscillator 23-2 in each slave N double integrator 22-2 - 22-n - 23-n control the oscillation frequency of the outputs  $eo2-eon$  in the direction in which the control signals  $ec2-ecn$  from an integrator 22-2 - 22-n always become zero.

[0025] The master N double PLL multiplying circuit 2-1 is the frequency (clock signal output frequency)  $X$  of the clock signal supplied to LSI 3-1 the above result. MHz is always input frequency  $X/N$  from a crystal oscillator 1. Automatic control is carried out so that it may be N times the MHz. Similarly, the slave N double integrator 22-2 - 22-n are the frequency (clock signal output frequency)  $X$  of the clock signal supplied to LSI 3-2 - 3-n. MHz is always input frequency  $X/N$  from a crystal oscillator 1. Automatic control is carried out so that it may be N times the MHz.

[0026] Here, it is the input pulse  $ei$  from a crystal oscillator 1. Dividing output  $ea$  from the N-ary counter 20 As described above, it is inputted common to the error detector 21-1 in each PLL multiplying circuit 2-1 - 2-n - 21-n. For this reason, the phase of the control signals  $ec1-ecn$  over the outputs  $eb1-ebn$  of each error detector 21-1 - 21-n, and each variable frequency oscillator 23-1 - 23-n turns into equiphase, respectively. Therefore, the clock signal outputs  $eo1-eon$  to LSI 3-1 from each variable frequency oscillator 23-1 - 23-n - 3-n also serve as equiphase, respectively.

[0027] Then, as each PLL multiplying circuit 2-1 - 2-n were described above, leading about of wiring of the high-frequency-clock signal which LSI 3-1 - 3-n need by arranging near LSI 3-1 - the 3-n can be lost, and generating of the noise by leading about of a high-frequency-clock signal can be suppressed.

[0028] Although the above explained the case where one master N double PLL multiplying circuit and n-1 slave N double PLL multiplying circuit had been arranged near each existing LSI which needs a clock signal, it does not restrict to this and you may make it build each PLL multiplying circuit in corresponding LSI.

[0029] Drawing 3 shows one example of the configuration of the digital logical circuit equipped with new LSI which built in such a PLL multiplying circuit. In addition, the same sign is given to the same portion as drawing 1.

[0030] In drawing 3, the clock signal supply circuit 10 of the point which consists of a crystal oscillator 1, a master N double PLL multiplying circuit 2-1 and a slave N double PLL multiplying circuit 2-2 - 2-n is the same as that of drawing 1.

[0031] The point that the configuration of this drawing 3 differs from drawing 1 is a point which the master N double PLL multiplying circuit 2-1 is built in new LSI 30-1 which uses the clock signal from this circuit 2-1, and is built in new LSI 30-2 for which the slave PLL multiplying circuit 2-2 - 2-n use the clock signal from this circuit 2-2 - 2-n - 30-n.

[0032] Then, LSI 30-1 is made to call the master N double PLL multiplying circuit built-in LSI 30-1, a call, LSI 30-2 - 30-n the slave N double PLL multiplying circuit built-in LSI 30-2 - 30-n.

[0033] In this example for the master N double PLL multiplying circuit built-in LSI 30-1 The frequency supplied from the master N double PLL multiplying circuit 2-1 of built-in to LSI 30-1 concerned is X. The CPU circuit 31 which operates with the clock signal of MHz is formed. The frequency supplied to slave N double LSI 30-2 from the slave N double PLL multiplying circuit 2-2 of built-in to LSI 30-2 concerned is X. The FPU circuit 32 which operates with the clock signal of MHz is formed. Moreover, the frequency supplied to slave N double LSI 30-n from slave N double PLL multiplying circuit 2-n of built-in in the LSI 30-n concerned is X. The I/O-controller circuit 33 which operates with the clock signal of MHz is formed.

[0034] Since the operation in the configuration shown in above-mentioned drawing 3 is the same as that of the configuration of drawing 1, explanation is omitted. However, in the configuration of drawing 3, since each PLL multiplying circuit 2-1 - 2-n are built in LSI 30-1 which uses the clock signal from this circuit 2-1 - 2-n - 30-n, leading about of wiring of the clock signal concerned can be further lost from the configuration of drawing 1, and generating of the noise by leading about of the clock signal concerned can be suppressed further.

[0035]

[Effect of the Invention] As explained in full detail above, according to this invention, one master N double PLL multiplying circuit, At least one slave N double PLL multiplying circuit which shares the N-ary counter which this master N double PLL multiplying circuit has The output from the basic clock frequency oscillator which arranges by 1 to 1 response near each semiconductor chip which needs the clock signal of predetermined frequency, and oscillates



the basic clock frequency of  $1/N$  of the above-mentioned predetermined frequency, The output of the above-mentioned N-ary counter formed only in the master N double PLL multiplying circuit as a common comparison signal The error detector (the 1st error detector) of a master N double PLL multiplying circuit, of course Since it considered as the configuration inputted into a corresponding semiconductor chip after inputting also into the error detector in all slave N double PLL multiplying circuits (2 error detectors), N Doubling in each PLL multiplying circuit and pulling up to predetermined frequency Leading about of wiring of the clock signal of the RF needed in each semiconductor chip is lost, and generating of the noise by the high-frequency-clock signal etc. can be decreased. And since he is trying to use in common the output of the N-ary counter formed only in the master N double PLL multiplying circuit also in a slave N double PLL multiplying circuit as a comparison signal for detecting an error with the output of a basic clock frequency oscillator, the output clock signal from each PLL multiplying circuit can be made in phase, and it becomes having supplied the clock signal common to each semiconductor chip, and equivalence.

[0036] Moreover, it replaces with arranging near the semiconductor chip which uses the clock signal generated in the above-mentioned PLL multiplying circuit in this circuit according to this invention. By making it build in this semiconductor chip, and considering as the configuration which uses the clock signal concerned as a clock signal inside a corresponding semiconductor chip Leading about of wiring of the clock signal of the RF needed in each semiconductor chip can be lost further, and generating of the noise by the high-frequency-clock signal etc. can be decreased further.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] A clock signal supply circuit used for a digital logical circuit with two or more semiconductor chips which use a clock signal of predetermined frequency which is equipped with the following and characterized by being arranged near said semiconductor chip with which said master N double phase locked loop multiplying circuit and said slave N double phase locked loop multiplying circuit serve as a supply place of said clock signal, respectively. A basic clock frequency oscillator which oscillates a basic clock frequency of  $1/N$  of said predetermined frequency Increase multiplying of said basic clock frequency from this basic clock frequency oscillator N times, and a clock signal of said predetermined frequency is generated. It is one master N double phase locked loop multiplying circuit which

supplies the clock signal concerned to one of said two or more semiconductor chips. An N-ary counter for carrying out N dividing of the frequency of the clock signal concerned, the 1st error detector which compares phase relation between a dividing output of this N-ary counter, and an output of said basic clock frequency oscillator, and generates a positive or negative pulse corresponding to that error, One master N double phase locked loop multiplying circuit which consists of the 1st integrator which integrates with an output of this 1st error detector, and the 1st variable frequency oscillator which controls frequency of said clock signal so that an output of this 1st integrator becomes zero Increase multiplying of said basic clock frequency from said basic clock frequency oscillator N times, and a clock signal of said predetermined frequency is generated. It is at least one slave N double phase locked loop multiplying circuit which supplies the clock signal concerned to other one of said two or more of the semiconductor chips. The 2nd error detector which compares phase relation between a dividing output of said N-ary counter in said master N double phase locked loop multiplying circuit, and an output of said basic clock frequency oscillator, and generates a positive or negative pulse corresponding to the error, At least one slave N double phase locked loop multiplying circuit with the 2nd integrator which integrates with an output of this 2nd error detector, and the 2nd variable frequency oscillator which controls frequency of said clock signal so that an output of this 2nd integrator becomes zero

[Claim 2] A clock signal supply circuit used for a digital logical circuit with two or more semiconductor chips which use a clock signal of predetermined frequency which is equipped with the following and characterized by building said master N double phase locked loop multiplying circuit and said slave N double phase locked loop multiplying circuit in said semiconductor chip which corresponds, respectively. A basic clock frequency oscillator which oscillates a basic clock frequency of  $1/N$  of said predetermined frequency It is one master N double phase locked loop multiplying circuit which generates a clock signal of said predetermined frequency which increases multiplying of said basic clock frequency from this basic clock frequency oscillator N times, and is used as one internal clock signal of two or more of said semiconductor chips. An N-ary counter for carrying out N dividing of the frequency of the clock signal concerned, the 1st error detector which compares phase relation between a dividing output of this N-ary counter, and an output of said basic clock frequency oscillator, and generates a positive or negative pulse corresponding to that error, One master N double phase locked loop multiplying circuit which consists of the 1st integrator which integrates with an output of this 1st error detector, and the 1st variable frequency oscillator which controls frequency of said clock signal so that an output of this 1st integrator becomes zero It is at least one slave N double phase locked loop multiplying circuit which generates a clock signal of said predetermined frequency which increases multiplying of said basic clock frequency from said basic clock frequency oscillator N times, and is used

as other one internal clock signal of two or more of said semiconductor chips. The 2nd error detector which compares phase relation between a dividing output of said N-ary counter in said master N double phase locked loop multiplying circuit, and an output of said basic clock frequency oscillator, and generates a positive or negative pulse corresponding to the error, At least one slave N double phase locked loop multiplying circuit with the 2nd integrator which integrates with an output of this 2nd error detector, and the 2nd variable frequency oscillator which controls frequency of said clock signal so that an output of this 2nd integrator becomes zero

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-84665

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.<sup>6</sup>G 0 6 F 1/04  
1/10

識別記号

庁内整理番号

A

F 1

技術表示箇所

G 0 6 F 1/04 3 3 0 Z

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平5-228375

(22) 出願日 平成5年(1993)9月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大和田 昭彦

東京都府中市東芝町1番地 株式会社東芝

府中工場内

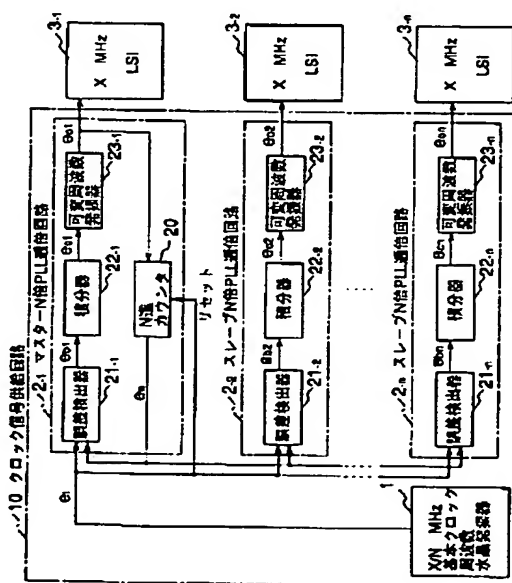
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 位相ロックループ通倍回路によるクロック信号供給回路

(57) 【要約】

【目的】 使用クロック信号が高周波であっても、安定したクロック信号供給が行えるようにする。

【構成】 マスターN倍PLL通倍回路2-1をLSI 3-1の近傍に、スレーブN倍PLL通倍回路2-2～2-nをLSI 3-2～2-nの近傍に、それぞれ配置し、LSI 3-1～3-nが必要とするクロック周波数の1/Nの基本クロック周波数を発振する水晶発振器1からの出力と、マスターN倍PLL通倍回路2-1のみが持つN進カウンタ20の出力とを、共通の比較信号として、全てのPLL通倍回路2-1～2-nの誤差検出回路21-1～21-nに入力し、各PLL通倍回路2-1～2-nで周波数をN倍して本来のクロック周波数まで引き上げてから、LSI 3-1～2-nへのクロック信号供給を行う構成とする。



(2)

特開平7-84665

1

2

## 【特許請求の範囲】

【請求項1】 所定周波数のクロック信号を使用する複数の半導体チップを持つデジタル・ロジック回路に用いられるクロック信号供給回路において、

前記所定周波数の1/Nの基本クロック周波数を発振する基本クロック周波数発振器と、

この基本クロック周波数発振器からの前記基本クロック周波数をN倍に逡倍して前記所定周波数のクロック信号を生成し、当該クロック信号を前記複数の半導体チップの1つに供給する1つのマスターN倍位相ロックループ逡倍回路であって、当該クロック信号の周波数をN分周するためのN進カウンタ、このN進カウンタの分周出力と前記基本クロック周波数発振器の出力との位相関係を比較してその誤差に対応した正または負のパルスが発生する第1の誤差検出器、この第1の誤差検出器の出力を積分する第1の積分器、およびこの第1の積分器の出力が零になるように前記クロック信号の周波数を制御する第1の変周波数発振器から構成される1つのマスターN倍位相ロックループ逡倍回路と、

前記基本クロック周波数発振器からの前記基本クロック周波数をN倍に逡倍して前記所定周波数のクロック信号を生成し、当該クロック信号を前記複数の半導体チップの他の1つに供給する少なくとも1つのスレーブN倍位相ロックループ逡倍回路であって、前記マスターN倍位相ロックループ逡倍回路内の前記N進カウンタの分周出力と前記基本クロック周波数発振器の出力との位相関係を比較してその誤差に対応した正または負のパルスが発生する第2の誤差検出器、この第2の誤差検出器の出力を積分する第2の積分器、およびこの第2の積分器の出力が零になるように前記クロック信号の周波数を制御する第2の変周波数発振器を持つ少なくとも1つのスレーブN倍位相ロックループ逡倍回路とを具備し、前記マスターN倍位相ロックループ逡倍回路および前記スレーブN倍位相ロックループ逡倍回路が、それぞれ前記クロック信号の供給先となる前記半導体チップの近傍に配置されていることを特徴とするクロック信号供給回路。

【請求項2】 所定周波数のクロック信号を使用する複数の半導体チップを持つデジタル・ロジック回路に用いられるクロック信号供給回路において、

前記所定周波数の1/Nの基本クロック周波数を発振する基本クロック周波数発振器と、

この基本クロック周波数発振器からの前記基本クロック周波数をN倍に逡倍して前記複数の半導体チップの1つの内部クロック信号として用いられる前記所定周波数のクロック信号を生成する1つのマスターN倍位相ロックループ逡倍回路であって、当該クロック信号の周波数をN分周するためのN進カウンタ、このN進カウンタの分周出力と前記基本クロック周波数発振器の出力との位相関係を比較してその誤差に対応した正または負のパルスが発生する第1の誤差検出器、この第1の誤差検出器の

10

20

30

40

50

出力を積分する第1の積分器、およびこの第1の積分器の出力が零になるように前記クロック信号の周波数を制御する第1の変周波数発振器から構成される1つのマスターN倍位相ロックループ逡倍回路と、

前記基本クロック周波数発振器からの前記基本クロック周波数をN倍に逡倍して前記複数の半導体チップの他の1つの内部クロック信号として用いられる前記所定周波数のクロック信号を生成する少なくとも1つのスレーブN倍位相ロックループ逡倍回路であって、前記マスターN倍位相ロックループ逡倍回路内の前記N進カウンタの分周出力と前記基本クロック周波数発振器の出力との位相関係を比較してその誤差に対応した正または負のパルスが発生する第2の誤差検出器、この第2の誤差検出器の出力を積分する第2の積分器、およびこの第2の積分器の出力が零になるように前記クロック信号の周波数を制御する第2の変周波数発振器を持つ少なくとも1つのスレーブN倍位相ロックループ逡倍回路とを具備し、前記マスターN倍位相ロックループ逡倍回路および前記スレーブN倍位相ロックループ逡倍回路が、それぞれ対応する前記半導体チップに内蔵されていることを特徴とするクロック信号供給回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、所定周波数のクロック信号を使用する複数の半導体チップを持つデジタル・ロジック回路に用いられるクロック信号供給回路に関する。

【0002】

【従来の技術】 一般に、ミニコンピュータ、エンジニアリングワークステーション、パーソナルコンピュータなどの各種コンピュータや、マイクロプロセッサを使用した各種制御装置に搭載されているデジタル・ロジック回路には、同じクロック周波数で動作する複数のICやLSIが使用されている。

【0003】 従来、このデジタル・ロジック回路に使用されている複数のICやLSIに同じ周波数のクロック信号を供給するには、1つの水晶発振器からそれぞれのICやLSIのクロック信号入力まで配線を引き回すのが一般的であった。この方式では、水晶発振器の発振周波数のクロック信号が、そのまま各IC、LSIに供給される。

【0004】

【発明が解決しようとする課題】 上記した従来のクロック信号の供給方式では、クロック信号の配線の引き回しが長く複雑なものになったり、使用するクロック信号の周波数が高いと、高周波クロック信号の引き回しにより、ノイズが発生するといった問題があった。

【0005】 この発明は上記事情を考慮してなされたものでその目的は、使用クロック信号が高周波であっても、安定したクロック信号供給が行えるクロック信号供

給回路を提供することにある。

【0006】

【課題を解決するための手段】この発明は、所定周波数のクロック信号を使用する複数の半導体チップを持つデジタル・ロジック回路に用いられるクロック信号供給回路において、第1の誤差検出器、第1の積分器、第1の可変周波数発振器およびN進カウンタから構成されるマスターとなる1つのN倍PLL（位相ロックループ）通倍回路（マスターN倍PLL通倍回路）と、第2の誤差検出器、第2の積分器、および第2の可変周波数発振器から構成されるスレーブとなる少なくとも1つのN倍PLL通倍回路（スレーブN倍PLL通倍回路）とを、それぞれ異なる半導体チップの近傍に1対1対応で配置し、上記所定周波数の1/Nの基本クロック周波数を発振する基本クロック周波数発振器からの出力と、マスターN倍PLL通倍回路にのみ設けられている上記N進カウンタの出力とを、共通の比較信号として、マスターN倍PLL通倍回路内の第1の誤差検出回路は勿論、全てのスレーブN倍PLL通倍回路内の第2の誤差検出回路にも入力し、各PLL通倍回路でN倍して所定周波数まで引き上げてから、対応する半導体チップに入力する構成としたことを特徴とするものである。

【0007】また、この発明は、PLL通倍回路を、同回路で生成されたクロック信号を使用する半導体チップの近傍に配置するのに代えて、この半導体チップに内蔵させ、当該クロック信号を対応する半導体チップ内部のクロック信号として使用するようにしたことをも特徴とする。

【0008】

【作用】上記の構成において、マスターN倍PLL通倍回路内のN進カウンタは、周知のように同じPLL通倍回路内の第1の可変周波数発振器の出力であるクロック信号の周波数をN分周する。このN進カウンタのN分周出力は、基本クロック周波数発振器からの出力と共に同じPLL通倍回路内の第1の誤差検出回路に入力される。第1の誤差検出回路は、これら両入力の位相関係を比較してその誤差に対応した正または負のパルスが発生する。この第1の誤差検出回路の出力は同じPLL通倍回路内の第1の積分回路により積分される。第1の可変周波数発振器は、この第1の積分器の出力が零になるように、その発振器周波数、即ち当該発振器の出力であるクロック信号の周波数を制御する。

【0009】このようにして、基本クロック周波数発振器からの所定周波数の1/Nの入力周波数（基本クロック周波数）は、半導体チップの近傍に配置されたマスターN倍PLL通倍回路によりN倍して所定周波数まで引き上げられる。そして、この引き上げ後の周波数のクロック信号が当該半導体チップに入力されて、当該半導体チップにおいて使用されるため、当該半導体チップにおいて必要とする高周波のクロック信号の配線の引き回しを

なくすることができ、ノイズの発生等の減少を図ることが可能となる。

【0010】さて、上記の構成において、マスターN倍PLL通倍回路と異なって（PLL通倍回路の構成に必要な）N進カウンタを持たない各スレーブN倍PLL通倍回路の第2の誤差検出回路には、マスターN倍PLL通倍回路内のN進カウンタのN分周出力が、基本クロック周波数発振器の出力と共に、共通の比較信号として入力される。そして、上記両入力の誤差に対応した第2の誤差検出回路の出力が第2の積分器で積分され、更にこの第2の積分器の出力が零になるように、第2の可変周波数発振器の出力周波数、即ち当該発振器の出力であるクロック信号の周波数が制御される。

【0011】このように、各スレーブN倍PLL通倍回路の第2の誤差検出回路には、マスターN倍PLL通倍回路の第1の誤差検出回路に入力される基本クロック周波数発振器の出力およびマスターN倍PLL通倍回路内のN進カウンタのN分周出力とが、共通の比較信号として入力されるため、上記各PLL通倍回路の出力の位相を揃えることができる。

【0012】また、以上の各PLL通倍回路を、当該回路から出力されるクロック信号を使用する半導体チップの近傍に配置するのではなく、この半導体チップに内蔵させることにより、ノイズの発生等を一層減少することが可能となる。

【0013】

【実施例】図1はこの発明の一実施例に係るクロック信号供給回路を備えたデジタル・ロジック回路の構成を示すブロック図である。同図において、1は $X/N$  MHzの基本クロック周波数を発振する基本クロック周波数水晶発振器（以下、単に水晶発振器と称する）、2-1は水晶発振器1からの $X/N$  MHzの基本クロック周波数をN倍に通倍して、 $X$  MHzのクロック信号を生成するマスターN倍PLL（位相ロックループ）通倍回路、2-2～2-nは同じく水晶発振器1からの $X/N$  MHzの基本クロック周波数をN倍に通倍して、 $X$  MHzのクロック信号を生成するスレーブN倍PLL（位相ロックループ）通倍回路である。この水晶発振器1および各PLL通倍回路2-1～2-nにより、クロック信号供給回路10が構成される。

【0014】マスターN倍PLL通倍回路2-1は、N進カウンタ20、誤差検出回路21-1、積分器22-1および可変周波数発振器23-1の周知の回路構成を有している。またスレーブN倍PLL通倍回路2-2～2-nは、誤差検出回路21-2～21-n、積分器22-2～22-nおよび可変周波数発振器23-2～23-nを有している。ここでスレーブN倍PLL通倍回路2-2～2-nは、マスターN倍PLL通倍回路2と異なり、N進カウンタ（20）を有していないことに注意されたい。

【0015】N進カウンタ20は、水晶発振器1からの

基本クロック周波数 $X/N$  MHzの入力パルス $e_i$ 毎にリセットされ、PLL通信回路2-1(内の可変周波数発振器23-1)の出力パルス $e_{o1}$ をN個計数する毎にパルスを発生し、分周出力 $e_o$ を出力するN分周器として用いられる。

【0016】誤差検出回路21-1~21-nは、上記 $e_i$ と $e_o$ との位相関係を比較してその誤差に対応した正または負のパルス $e_{e1} \sim e_{en}$ を発生する。積分器22-1~22-nは、誤差検出回路21-1~21-nの出力(パルス) $e_{e1} \sim e_{en}$ を積分して、その積分結果である制御信号 $e_{c1} \sim e_{cn}$ を発生する。

【0017】可変周波数発振器23-1~23-nは、積分器22-1~22-nの出力(制御信号) $e_{c1} \sim e_{cn}$ が常に零になる方向に、その出力である $e_{o1} \sim e_{on}$ の周波数(クロック周波数)を制御する。

【0018】3-1, 3-2...3-nは半導体チップからなり、いずれも $X$  MHzのクロック周波数で動作する既存のLSIである。本実施例において、LSI3-1はCPU、LSI3-2はFPU(フローティング・ポイント・ユニット)である。またLSI3-nはI/O(入出力)コントローラである。LSI3-1~3-nの近傍には、PLL通信回路2-1~2-nが配置されており、このPLL通信回路2-1~2-nで生成されたクロック周波数が $X$  MHzのクロック信号がLSI3-1~3-nに入力されるようになっている。

【0019】次に、図1の構成の動作を、図2のタイミングチャートを参照して説明する。各PLL通信回路2-j( $j=1 \sim n$ )内の可変周波数発振器23-jは、入力パルス $e_i$ に同期発振し、その発振周波数(周期 $t$ )は積分器22-jからの制御信号 $e_{cj}$ に比例する。

【0020】さて、PLL通信回路(マスターN倍PLL通信回路)2-1内の可変周波数発振器23-1の出力(パルス) $e_{o1}$ は、N分周器としてのN進カウンタ20によって計数される。このN進カウンタ20は、水晶発振器1からの基本クロック周波数 $X/N$  MHz(周期T)の入力信号のパルス $e_i$ 毎に一旦リセットされ、出力 $e_{o1}$ のパルスをN個計数する毎にパルスを発生し、マスターN倍PLL通信回路2-1(内の誤差検出回路21-1)の他、スレーブN倍PLL通信回路2-2~2-n(内の誤差検出回路21-2~21-n)で共通に用いられる分周出力(共通分周出力) $e_o$ を得る。

【0021】マスターN倍PLL通信回路2-1内のN進カウンタ20の共通分周出力 $e_o$ は、比較信号として、同PLL通信回路2-1内の誤差検出回路21-1の他、スレーブN倍PLL通信回路2-2~2-n内の誤差検出回路21-2~21-nに共通に入力される。また、これら各誤差検出回路21-1~21-nには、水晶発振器1からの $X/N$  MHz(周期T)の基本クロック周波数の入力信号のパルス(共通入力パルス) $e_i$ も入力される。

【0022】各PLL通信回路2-j( $j=1 \sim n$ )内の

誤差検出回路21-jは、N進カウンタ20からの共通分周出力 $e_o$ と、水晶発振器1からの $X/N$  MHzの基本クロック周波数の共通入力パルス $e_i$ との位相関係を比較する。そして誤差検出回路21-jは、これら2つのパルス $e_o$ と $e_i$ の発生順(入力順)に応じて正または負に変わる(この例では、 $e_o$ の方が早いならば正となり、 $e_i$ の方が早いならば負となる)パルスであって、その時間差に応じて幅が変わるパルス $e_{e1} \sim e_{en}$ ( $j=1 \sim n$ )を発生する。

【0023】誤差検出回路21-j( $j=1 \sim n$ )からの出力パルス $e_{e1}$ は、積分器22-jにより積分されて、その平均値がとられる。この積分器22-jによる $e_{e1}$ に対する積分結果は、制御信号 $e_{cj}$ として可変周波数発振器23-jに入力される。

【0024】可変周波数発振器23-j( $j=1 \sim n$ )は、積分器22-jからの制御信号 $e_{cj}$ が常に零になる方向に、その出力 $e_{oj}$ の発振周波数(クロック周波数)を制御する。即ちマスターN倍PLL通信回路2-1内の可変周波数発振器23-1は、積分器22-1からの制御信号 $e_{c1}$ が常に零になる方向に、その出力 $e_{o1}$ の発振周波数を制御し、また、各スレーブN倍積分器22-2~22-n内の可変周波数発振器23-2~23-nは、積分器22-2~22-nからの制御信号 $e_{c2} \sim e_{cn}$ が常に零になる方向に、その出力 $e_{o2} \sim e_{on}$ の発振周波数を制御する。

【0025】以上の結果、マスターN倍PLL通信回路2-1は、LSI3-1に供給されるクロック信号の周波数(クロック信号出力周波数) $X$  MHzが、常に水晶発振器1からの入力周波数 $X/N$  MHzのN倍となるように自動制御される。同様に、スレーブN倍積分器22-2~22-nは、LSI3-2~3-nに供給されるクロック信号の周波数(クロック信号出力周波数) $X$  MHzが、常に水晶発振器1からの入力周波数 $X/N$  MHzのN倍となるように自動制御される。

【0026】ここで、水晶発振器1からの入力パルス $e_i$ とN進カウンタ20からの分周出力 $e_o$ は、前記したように各PLL通信回路2-1~2-n内の誤差検出回路21-1~21-nに共通に入力される。このため、各誤差検出回路21-1~21-nの出力 $e_{e1} \sim e_{en}$ 、各可変周波数発振器23-1~23-nに対する制御信号 $e_{c1} \sim e_{cn}$ の位相はそれぞれ同位相となる。したがって、各可変周波数発振器23-1~23-nからLSI3-1~3-nへのクロック信号出力 $e_{o1} \sim e_{on}$ もそれぞれ同位相となる。

【0027】そこで、各PLL通信回路2-1~2-nを、前記したようにLSI3-1~3-nの近傍に配置することにより、LSI3-1~3-nが必要とする高周波クロック信号の配線の引き回しをなくして、高周波クロック信号の引き回しによるノイズの発生を抑えることができる。

【0028】以上は、1つのマスターN倍PLL通信回路とn-1個のスレーブN倍PLL通信回路とを、クロック信号を必要とするそれぞれの既存のLSIの近傍に

配置した場合について説明したが、これに限るものではなく、各PLL通倍回路を対応するLSIに内蔵するようにしても構わない。

【0029】図3は、このようなPLL通倍回路を内蔵した新規なLSIを備えたデジタル・ロジック回路の構成の一実施例を示す。なお、図1と同一部分には同一符号を付してある。

【0030】図3において、クロック信号供給回路10が、水晶発振器1、マスターN倍PLL通倍回路2-1およびスレーブN倍PLL通倍回路2-2～2-nから構成される点は、図1と同様である。

【0031】この図3の構成が図1と異なる点は、マスターN倍PLL通倍回路2-1が、同回路2-1からのクロック信号を使用する新規なLSI30-1に内蔵され、スレーブPLL通倍回路2-2～2-nが、同回路2-2～2-nからのクロック信号を使用する新規なLSI30-2～30-nに内蔵されている点である。

【0032】そこで、LSI30-1をマスターN倍PLL通倍回路内蔵LSI30-1と呼び、LSI30-2～30-nをスレーブN倍PLL通倍回路内蔵LSI30-2～30-nと呼ぶことにする。

【0033】本実施例において、マスターN倍PLL通倍回路内蔵LSI30-1には、当該LSI30-1に内蔵のマスターN倍PLL通倍回路2-1から供給される周波数がX MHzのクロック信号により動作するCPU回路31が設けられ、スレーブN倍LSI30-2には、当該LSI30-2に内蔵のスレーブN倍PLL通倍回路2-2から供給される周波数がX MHzのクロック信号により動作するFPU回路32が設けられている。また、スレーブN倍LSI30-nには、当該LSI30-nに内蔵のスレーブN倍PLL通倍回路2-nから供給される周波数がX MHzのクロック信号により動作するI/Oコントローラ回路33が設けられている。

【0034】上記した図3に示す構成における作用は、図1の構成と同様であるので、説明を省略する。但し、図3の構成においては、各PLL通倍回路2-1～2-nが、同回路2-1～2-nからのクロック信号を使用するLSI30-1～30-nに内蔵されているため、当該クロック信号の配線の引き回しを図1の構成より更になくして、当該クロック信号の引き回しによるノイズの発生を一層抑えることができる。

【0035】

【発明の効果】以上詳述したようにこの発明によれば、1つのマスターN倍PLL通倍回路と、このマスターN倍PLL通倍回路が持つN進カウンタを共有する少なくとも1つのスレーブN倍PLL通倍回路を、所定周波数のクロック信号を必要とする各半導体チップの近傍に1対1対応で配置し、上記所定周波数の1/Nの基本クロック周波数を発振する基本クロック周波数発振器からの出力と、マスターN倍PLL通倍回路にのみ設けられて

いる上記N進カウンタの出力とを、共通の比較信号として、マスターN倍PLL通倍回路の誤差検出回路（第1誤差検出回路）は勿論、全てのスレーブN倍PLL通倍回路内の誤差検出回路（2の誤差検出回路）にも入力し、各PLL通倍回路でN倍して所定周波数まで引き上げてから、対応する半導体チップに入力する構成としたので、各半導体チップにおいて必要とする高周波のクロック信号の配線の引き回しをなくして、高周波クロック信号によるノイズの発生等を減少できる。しかも、マスターN倍PLL通倍回路にのみ設けられているN進カウンタの出力を、基本クロック周波数発振器の出力との誤差を検出するための比較信号として、スレーブN倍PLL通倍回路でも共通に使用するようにしているため、各PLL通倍回路からの出力クロック信号を同位相とすることができ、各半導体チップに共通のクロック信号を供給したのと等価となる。

【0036】また、この発明によれば、上記PLL通倍回路を、同回路で生成されたクロック信号を使用する半導体チップの近傍に配置するのに代えて、この半導体チップに内蔵させ、当該クロック信号を対応する半導体チップ内部のクロック信号として使用する構成とすることにより、各半導体チップにおいて必要とする高周波のクロック信号の配線の引き回しを更になくすることができ、高周波クロック信号によるノイズの発生等を一層減少できる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るクロック信号供給回路を備えたデジタル・ロジック回路の構成を示すブロック図。

【図2】同実施例の動作を説明するためのタイミングチャート。

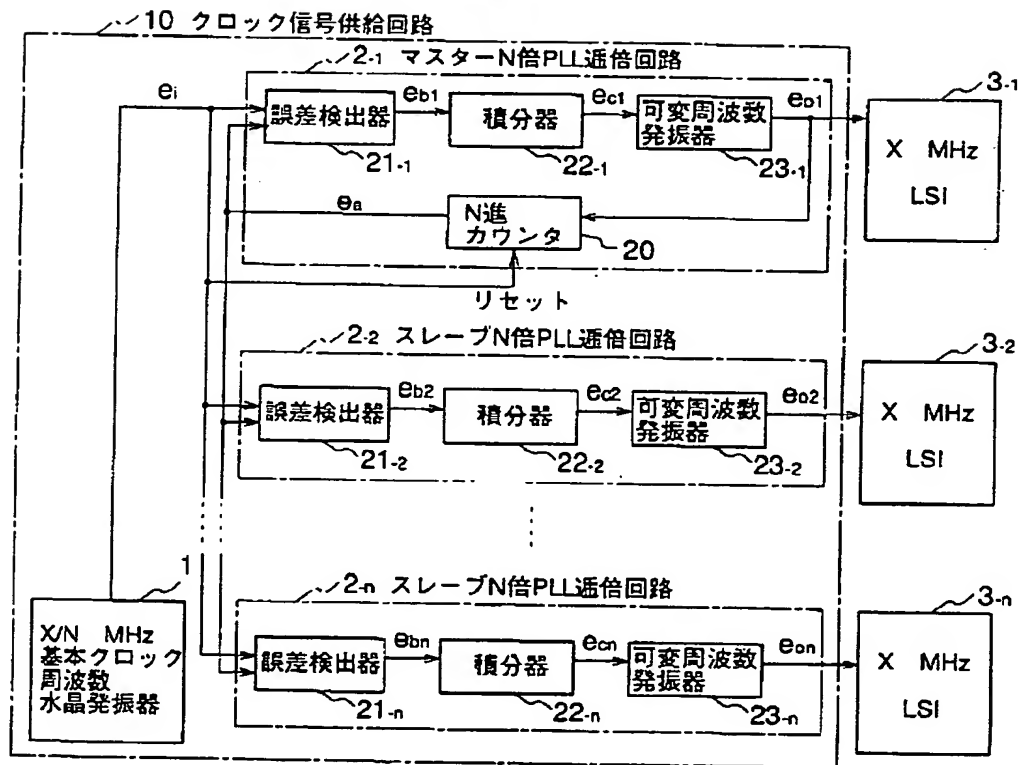
【図3】この発明の他の実施例に係るクロック信号供給回路を備えたデジタル・ロジック回路の構成を示すブロック図。

【符号の説明】

1…基本クロック周波数水晶発振器（基本クロック周波数発振器）、2-1…マスターN倍PLL（位相ロックループ）通倍回路、2-2～2-n…スレーブN倍PLL通倍回路、3-1～3-n…LSI（半導体チップ）、10…クロック信号供給回路、20…N進カウンタ、21-1…誤差検出回路（第1の誤差検出回路）、21-2～22-n…誤差検出回路（第2の誤差検出回路）、22-1…積分器（第1の積分器）、22-2～22-n…積分器（第2の積分器）、23-1…可変周波数発振器（第1の可変周波数発振器）、23-2～23-n…可変周波数発振器（第2の可変周波数発振器）、30-1…マスターN倍PLL通倍回路内蔵LSI（半導体チップ）、30-2～30-n…スレーブN倍PLL通倍回路内蔵LSI（半導体チップ）。



【図1】



【図2】

